

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 21/3213

(11) 공개번호 특2002-0035986
(43) 공개일자 2002년 05월 16일

(21) 출원번호	10-2000-0065830
(22) 출원일자	2000년 11월 07일
(71) 출원인	광주과학기술원 김효근 광주 북구 오동동 1번지
(72) 발명자	황현상 광주광역시광산구월계동금광아파트103동304호 전상훈 전라북도군산시서흥남동848-30
(74) 대리인	허진석
심사청구 있음	
(54) 반도체장치의 게이트절연막 제조방법	

요약

본 발명은 실리콘 기판 상에 금속산화물을 형성하는 단계와, 상기 금속산화물에 질소성분을 함유시키는 질화처리 단계와, 상기 질소성분이 함유된 금속산화물을 산화시키는 재산화 단계를 포함하는 것을 특징으로 한다. 여기서, 상기 금속산화물로는 ZrO_2 을 사용하거나 HfO_2 , La_2O_3 , Al_2O_3 또는 Ta_2O_5 을 사용할 수 있으며, $ZrSi_2O_7$, $HfSi_2O_7$, $LaSi_2O_7$, $AlSi_2O_7$ 또는 $TaSi_2O_7$ 을 사용할 수도 있다. 그리고, 상기 질화처리 단계는 상기 금속산화물이 형성된 결과물을 질소함유기체 분위기에서 열처리하여 수행하거나, 상기 금속산화물을 질소함유 플라즈마 분위기에 노출시켜 플라즈마 처리하여 수행하거나, 또는 상기 금속산화물에 질소성분을 이온주입하여 수행할 수 있다. 본 발명에 의하면, 금속산화막을 형성한 후에 질화처리 및 재산화 공정을 거침으로써 고온후속열처리 공정에 의한 유효두께 및 누설전류의 증가를 현저히 감소시킬 수 있다.

도면

도 1

색인어

게이트절연막, 고유전박막, ZrO_2 , 누설전류, 유효두께

명세서

도면의 간단한 설명

도 1은 후속열처리 시에 ZrO_2/N 막과 ZrO_2 막에 대한 유효두께의 증가를 비교하여 나타낸 그래프;
도 2는 후속열처리 시에 ZrO_2/N 막과 ZrO_2 막에 대한 누설전류의 증가를 비교하여 나타낸 그래프;
도 3a 및 도 3b는 ZrO_2 막과 ZrO_2/N 막을 800°C에서 5분동안 각각 열처리한 경우의 전자현미경 단면사진들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체장치의 게이트절연막 제조방법에 관한 것으로서, 특히 질화처리를 이용하여 고유전율을

갖는 게이트 절연막을 제조하는 방법에 관한 것이다.

차세대 고유전 게이트 절연막으로 많이 연구되고 있는 고유전박막인 ZrO_2 박막은 다양한 공정 최적화를 통하여 우수한 전기적 특성을 얻을 수 있음이 보고되고 있다. 그러나, 대부분의 다른 금속산화물과 마찬가지로 ZrO_2 박막을 MOSFET의 게이트절연막으로 용용할 경우에 필수적으로 거치는 고온열처리 과정에서, 결정화에 기인한 누설전류의 증가와, 실리콘 기판과 ZrO_2 박막과의 계면에 형성되는 실리케이트(silicate) 또는 실리콘산화물(silicon oxide)과 같은 계면층의 성장에 기인한 유효두께의 급격한 증가가 문제시 되고 있다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, ZrO_2 막 등과 같은 금속산화물을 일단 형성하고 질화 및 재산화공정을 거침으로써, 고온공정에서도 유효두께 및 누설전류의 증가가 억제되는 반도체장치의 게이트 절연막 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명에 따른 반도체장치의 게이트절연막 제조방법은, 실리콘 기판 상에 금속산화물을 형성하는 단계와, 상기 금속산화물에 질소성분을 함유시키는 질화처리 단계와, 상기 질소성분이 함유된 금속산화물을 산화시키는 재산화 단계를 포함하는 것을 특징으로 한다.

여기서, 상기 금속산화물로는 ZrO_2 을 사용하거나 HfO_2 , La_2O_3 , Al_2O_3 또는 Ta_2O_5 을 사용할 수 있으며, $ZrSi_2O_7$, $HfSi_2O_7$, $LaSi_2O_7$, $AlSi_2O_7$ 또는 $TaSi_2O_7$ 을 사용할 수도 있다.

그리고, 상기 질화처리 단계는 상기 금속산화물이 형성된 결과물을 질소함유기체 분위기에서 열처리하여 수행하거나, 상기 금속산화물을 질소함유 플라즈마 분위기에 노출시켜 플라즈마 처리하여 수행하거나, 또는 상기 금속산화물에 질소성분을 이온주입하여 수행할 수 있다.

이 때, 상기 질소함유기체로는 N_2O , NO 또는 NH_3 기체를 사용할 수가 있으며, 상기 열처리는 $300\sim 1000^\circ C$ 의 온도범위에서 10초 내지 1시간 동안 수행하는 것이 바람직하다. 상기 질소함유 플라즈마로는 N_2 또는 NH_3 플라즈마를 사용할 수 있다.

한편, 상기 재산화 단계는 O_2 , O_3 또는 $H_2O(g)$ 분위기에서 열처리함으로써 수행할 수 있으며, 이 때의 열처리는 $300\sim 1000^\circ C$ 의 온도범위, 10초 내지 1시간 동안 행하는 것이 바람직하다.

이하에서, 본 발명의 바람직한 실시예들을 첨부한 도면들을 참조하여 상세히 설명한다.

[실시예 1]

먼저, 실리콘 기판 상에 ZrO_2 막을 증착한다. 다음에, NH_3 기체 분위기에서 $700^\circ C$ 에서 60초간 열처리를 하여 ZrO_2 막 내에 질소성분을 함유시킨다. 그리고, $425^\circ C$ 에서 상기 질소성분이 함유된 ZrO_2 막을 습식산화법으로 다시 산화하여 ZrO_2N 막을 형성한다.

[실시예 2]

먼저, 실리콘 기판 상에 ZrO_2 막을 증착한다. 다음에, ZrO_2 막을 NH_3 또는 N_2 플라즈마 분위기에 노출시켜 ZrO_2 막을 플라즈마 처리함으로써 ZrO_2 막 내에 질소성분을 함유시킨다. 그리고, 상기 질소성분이 함유된 ZrO_2 막을 산소함유 플라즈마에 노출시켜 재산화시킴으로써 ZrO_2N 막을 형성한다.

[실시예 3]

먼저, 실리콘 기판 상에 ZrO_2 막을 증착한다. 다음에, 질소 이온주입 및 열처리를 수행하여 ZrO_2 막 내에 질소성분을 함유시킨다. 그리고, 질소성분이 함유된 ZrO_2 막을 $425^\circ C$ 에서 습식산화법으로 다시 산화하여 ZrO_2N 막을 형성한다.

[비교예 1]

도 1은 후속열처리 시에 실시예 1에서 형성된 ZrO_2N 막과 종래의 ZrO_2 막에 대한 유효두께의 증가를 비교하여 나타낸 그래프이다. 도 1을 참고하면, ZrO_2 막의 경우에 비해 ZrO_2N 막의 경우가 유효두께의 증가가 현저히 작음을 알 수 있다.

[비교예 2]

도 2는 후속열처리 시에 실시예 1에서 형성된 ZrO_2 막과 종래의 ZrO_2 막에 대한 누설전류의 증가를 비교하여 나타낸 그래프이다. 누설전류는 1.5V를인가하여 측정하였다. 도 2를 참조하면, 700°C 이상에서는 ZrO_2 의 누설전류가 큰 쪽으로 감소하기는 하지만 전체적으로 ZrO_2 막의 경우가 ZrO_2 막의 경우보다 큰 누설전류를 갖는다는 것을 알 수 있다. 특히, 700°C 이하에서는 ZrO_2 막보다는 ZrO_2 막의 경우가 누설전류가 훨씬 작다는 것을 알 수 있다.

ZrO_2 막은 후속열처리 이후에도 여전히 비정질 구조를 유지하지만, ZrO_2 막은 후속열처리에 의해 결정화되어 다결정 구조를 갖게 된다. 이렇게 다결정 구조를 갖기 때문에 같은 유효두께에 대해 ZrO_2 의 경우보다 ZrO_2 의 경우가 더 큰 누설전류를 갖게 되는 것이다.

[비교예 3]

도 3a 및 도 3b는 스퍼터링방법으로 형성된 ZrO_2 막과 실시예 1에서 형성된 ZrO_2 막을 800°C에서 5분동안 각각 열처리한 경우의 전자현미경 단면사진들이다. 도면들 참조하면, 모두가 계면층들이 형성되기는 하였지만 도 3a의 경우가 물리적인 두께가 더 큰 것을 알 수 있다.

본 발명의 효과

ZrO_2 막을 형성하는 방법만을 구체적으로 예로 들어 설명하였지만, 일반적인 금속산화물막의 경우에도 본 발명을 적용할 수 있으며, 본 발명에 따른 반도체장치의 게이트절연막 제조방법에 의하면, 금속산화물을 형성한 후에 질화처리 및 재산화 공정을 거침으로써 고온후속열처리 공정에 의한 유효두께 및 누설전류의 증가를 현저히 감소시킬 수 있다.

본 발명은 상기 실시예들에만 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

(5) 청구의 범위

청구항 1

실리콘 기판 상에 금속산화물을 형성하는 단계와,

상기 금속산화물에 질소성분을 함유시키는 질화처리 단계와,

상기 질소성분이 함유된 금속산화물을 산화시키는 재산화 단계를 포함하는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 2

제1항에 있어서, 상기 금속산화물이 ZrO_2 인 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 3

제1항에 있어서, 상기 금속산화물이 HfO_2 , La_2O_3 , Al_2O_3 및 Ta_2O_5 으로 이루어진 군으로부터 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 4

제1항에 있어서, 상기 금속산화물이 $ZrSi_2O_7$, $HfSi_2O_7$, $LaSi_2O_7$, $AlSi_2O_7$ 및 $TaSi_2O_7$ 로 이루어진 군 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 5

제1항에 있어서, 상기 질화처리 단계가 상기 금속산화물이 형성된 결과물을 질소함유기체 분위기에서 열처리함으로써 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 6

제5항에 있어서, 상기 질소함유기체가 N_2O , NO 또는 NH_3 기체 인 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 7

제5항에 있어서, 상기 열처리가 300~1000°C의 온도범위에서 행해지는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 8

제7항에 있어서, 상기 열처리가 10초 내지 1시간 동안 수행되는 것을 특징으로 하는 반도체장치의 게이트

절연막 제조방법.

청구항 9.

제1항에 있어서, 상기 질화처리 단계가 상기 금속산화물을 질소함유 플라즈마 분위기에 노출시켜 플라즈마 처리함으로써 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 10

제9항에 있어서, 상기 질소함유 플라즈마가 N_2 또는 NH_3 플라즈마인 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 11

제1항에 있어서, 상기 질화 처리단계가 상기 금속산화물에 질소성분을 이온주입함으로써 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 12

제1항에 있어서, 상기 재산화 단계가 O_2 , O_3 또는 $H_2O(g)$ 분위기에서 열처리함으로써 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 13

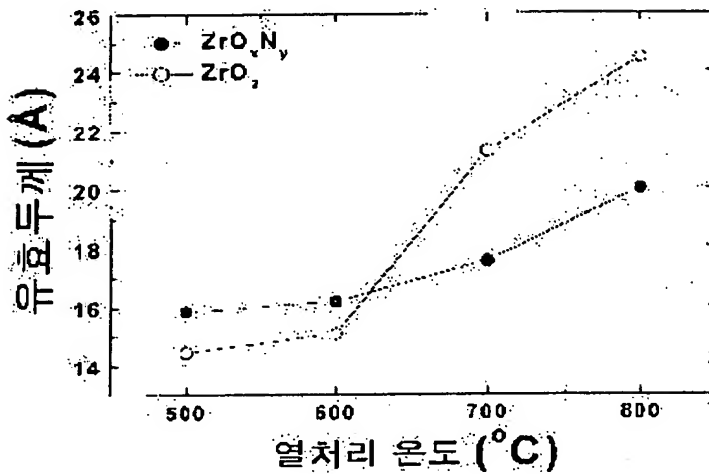
제1항에 있어서, 상기 재산화 단계가 300~1000°C의 온도범위에서 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

청구항 14

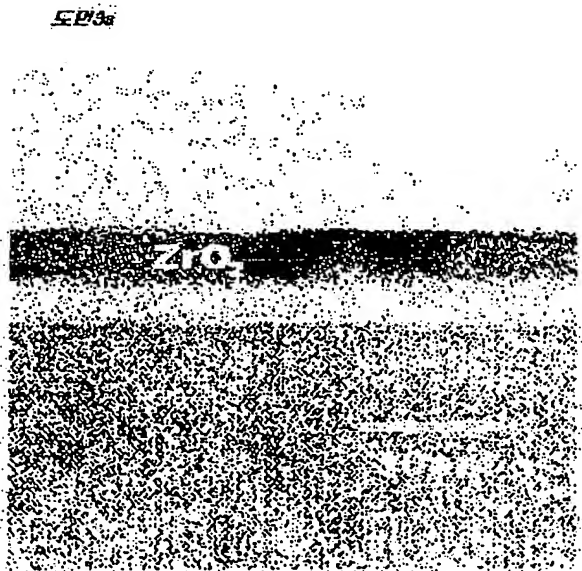
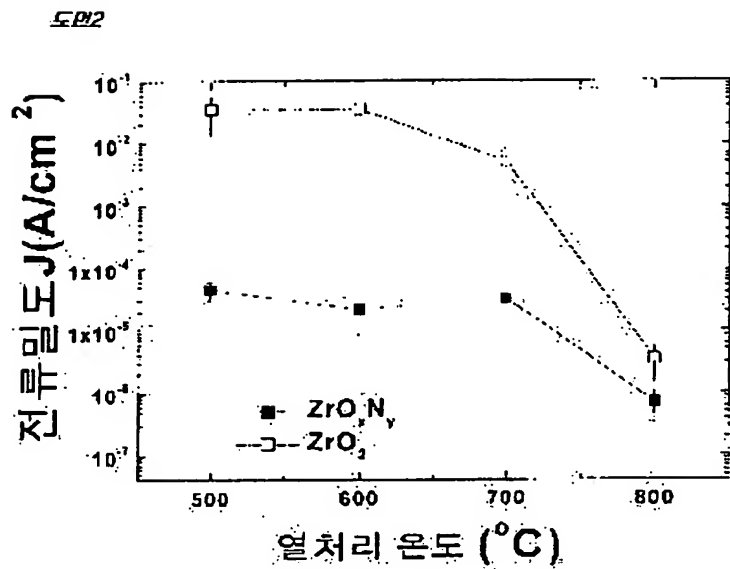
제13항에 있어서, 상기 재산화 단계가 10초 내지 1시간 동안 수행되는 것을 특징으로 하는 반도체장치의 게이트절연막 제조방법.

도면

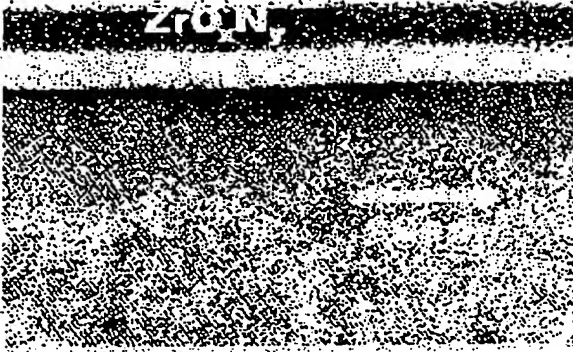
도면1



BEST AVAILABLE COPY



FD-36



BEST AVAILABLE COPY